

Japanese Kokai Patent Publication No. H4-78173, published March 12, 1992;
Application No. H2-191743, filed July 19, 1990; Inventor: Kiyohiko MURANAKA;
Assignee: Nippon Denki KK (NEC Corporation)

SEMICONDUCTOR DEVICE WITH BUILT-IN EPROM

Claim

Semiconductor device with a built-in EPROM, characterized in that it is protected on at least the upper part of the gate electrode of an EPROM element by a polyimide film having a window.

Detailed Description of the Invention

The present invention concerns a semiconductor device with a built-in EPROM.

[Prior Art Technology]

As shown in Figure 2, with a conventional semiconductor device with a built-in EPROM, a silicon nitride film (8) or silicon oxynitride film was used as a final protective film (passivation film). The thickness of the silicon nitride film (8) is 0.3 – 0.5 μm .

[Problems the Invention is Meant to Resolve]

Due to the miniaturization of processes in recent years, the size of unevenness on the pellet surfaces of semiconductor devices has become great. For this reason, in places where there is great unevenness, there have been problems in that the passivation film has broken due to heat stress, or that in these places, when fine wiring parts were present, the wiring would slide, or the like.

As a countermeasure, flattening of the pellet surface is necessary, but flattening with a silicon nitride film or silicon oxynitride film, which are conventional materials, has been difficult.

[Means for Resolving Problems]

The semiconductor device with a built-in EPROM of the present invention is protected on at least the upper part of the gate electrode of an EPROM element by a polyimide film having a window.

[Embodiment]

The present invention is explained below with reference to the drawings. Figure 1 is a cross-sectional diagram of a semiconductor chip showing an embodiment of the present invention.

In the present embodiment, the passivation film is comprised of a silicon nitride film (9), having a thickness of $0.3 \mu\text{m}$, which covers the semiconductor chip surface; and a polyimide film (10) (having a window [11] on the upper part of the gate electrode [floating gate electrode {3}]) with a thickness of $3 - 4 \mu\text{m}$.

The silicon nitride film (9) prevents the polyimide film (10) from directly contacting the aluminum wiring (7).

The polyimide film has excellent flatness, but is non-transparent to ultraviolet light. However, because a window (11) is provided on the upper part of the floating gate electrode (3), writing in a wafer state and deleting after checking properties can be carried out.

It is not necessary for each EPROM element to be provided with a window (11); one may be provided for the entire EPROM part. In any case, after a polyimide film covers the entire surface, a window may be formed by selectively removing it using photolithography technology.

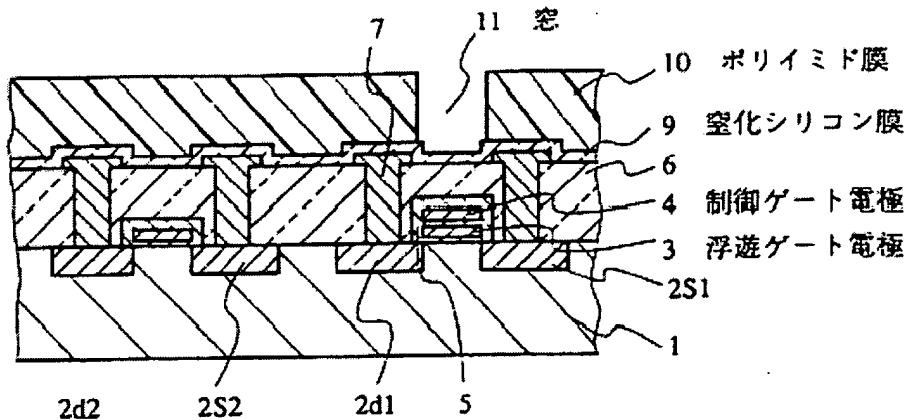
[Results of the Invention]

As has been explained above, with the present invention, because of the fact that a polyimide film is coated with the exception of the upper part of the gate electrode of the memory transistor (EPROM element), it is possible to relieve stress on the pellet surface due to heat stress, and the result is reliability can be improved for a semiconductor device with a built-in EPROM.

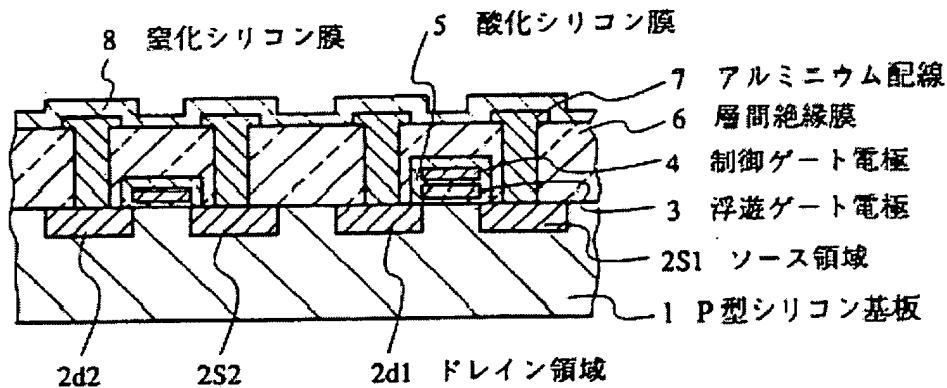
Simple Explanation of the Drawings

Figure 1 is a cross-sectional diagram showing an embodiment of the present invention, and Figure 2 is a cross-sectional diagram showing a conventional example.

1: p-type silicon substrate; 2d1, 2d2: drain regions; 2S1, 2S2: source regions; 3: floating gate electrode; 4: control gate electrode; 5: silicon oxide film; 6: interlayer insulation film; 7: aluminum wiring; 8, 9: silicon nitride films; 10: polyimide film; 11: window.



第 1 図



第 2 図

Translations Branch
United States Patent and Trademark Office
May 23, 2003
Steven M. Spar

⑫ 公開特許公報 (A) 平4-78173

⑬ Int. Cl. 5

H 01 L 29/788
21/312
27/115
29/792

識別記号

府内整理番号

⑭ 公開 平成4年(1992)3月12日

B 6940-4M

7514-4M H 01 L 29/78 371
8831-4M 27/10 434

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 E PROM内蔵型半導体装置

⑯ 特願 平2-191743

⑰ 出願 平2(1990)7月19日

⑱ 発明者 邑中清彦 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代理人 弁理士 内原晋

PTO 2003-3612

S.T.I.C. Translations Branch

明細書

発明の名称

E PROM内蔵型半導体装置

特許請求の範囲

E PROM素子の少なくともゲート電極上方に窓を有するポリイミド膜で保護されていることを特徴とするE PROM内蔵型半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明はE PROM内蔵型半導体装置に関するものである。

(従来の技術)

従来のE PROM内蔵型半導体装置は第2図に示すように、最終保護膜(バッシベーション膜)は塗化シリコン膜8やオキシ塗化シリコン膜が用いられていた。塗化シリコン膜8の厚さは0.3~0.5μmである。

〔発明が解決しようとする課題〕

近年のプロセスの微細化により、半導体装置のペレット表面の凹凸は大きくなる一方である。この為凹凸の大きい場所では半導体装置が受ける熱ストレスにより、バッシベーション膜が割れたり、またこの場所が微細な配線の部分だったりすると配線がスライドするなどの問題があった。

この対策にはペレット表面の平坦化が必要であるが、従来のバッシベーション材料である塗化シリコン膜やオキシ塗化シリコン膜では平坦化を行うのが困難であった。

〔課題を解決するための手段〕

本発明のE PROM内蔵型半導体装置は、E PROM素子の少なくともゲート電極上方に窓を有するポリイミド膜で保護されているというものである。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は本発明の一実施例を示す半導体チップの断面図である。

この実施例において、バッシベーション膜は、半導体チップ表面を覆う厚さ $0.3\mu\text{m}$ の窒化シリコン膜9と、厚さ $3\sim4\mu\text{m}$ のポリイミド膜10(E PROM素子のゲート電極(浮遊ゲート電極3)の上方に窓11を有している)とからなっている。

窒化シリコン膜9はポリイミド膜10とアルミニウム配線7とが直接触れるのを防止している。

ポリイミド膜は平坦性に優れているが、紫外線に対し不透明である。しかし、浮遊ゲート電極3上方に窓11が設けられているので、ウェーハ状態で書き込み、特性チェック後に消去作業を行うことが可能となる。

窓11はE PROM素子ごとに設ける必要はなく、E PROM部全体に一つ設けててもよい。いずれにせよ、ポリイミド膜を全面に被着したのちフォトリソグラフィー技術により選択的に除去して窓を形成すればよい。

〔発明の効果〕

以上説明したように本発明は、メモリートラン

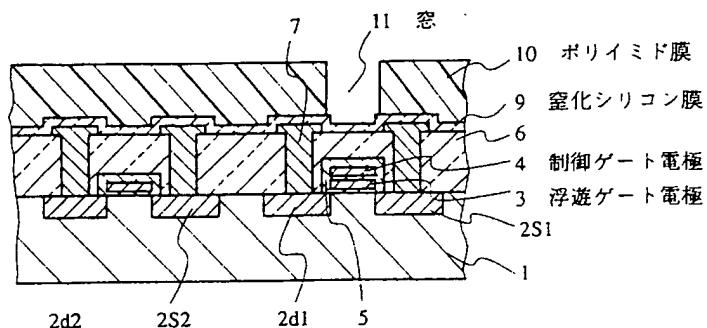
ジスタ(E PROM素子)のゲート電極上部を除きポリイミド膜を被着してバッシベーション膜とすることにより、熱ストレスによるペレット表面への応力を緩和することが出来、E PROM内蔵型半導体装置の信頼性を改善できる効果がある。

図面の簡単な説明

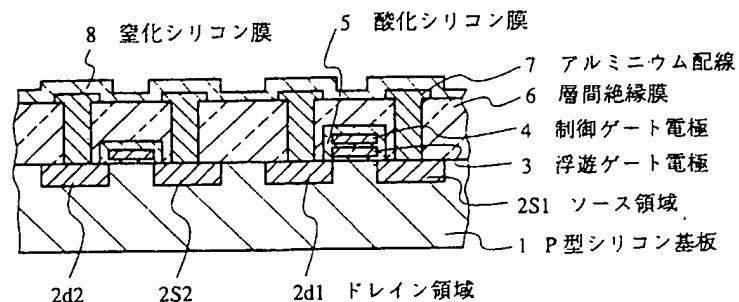
第1図は本発明の一実施例を示す断面図、第2図は従来例を示す断面図である。

1…P型シリコン基板、2d1、2d2…ドレイン領域、2S1、2S2…ソース領域、3…浮遊ゲート電極、4…制御ゲート電極、5…酸化シリコン膜、6…層間絶縁膜、7…アルミニウム配線、8、9…窒化シリコン膜、10…ポリイミド膜、11…窓。

代理人 弁理士 内原晋



第1図



第2図